

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**



PATENT

Docket No. JCLA10892

page 1

IN THE UNITED STATE PATENT AND TRADEMARK OFFICE

In re application of : YU-REN WANG et al.

Application No. : 10/667,229

Filed : September 17, 2003

**Certificate of Mailing**

I hereby certify that this correspondence and all marked attachments are being deposited with the United States Postal Service as certified first class mail in an envelope addressed to: Commissioner for Patents, P.O.BOX 1450, Alexandria VA 22313-1450, on

March 3, 2004

(Date)

For METHOD OF MANUFACTURING METAL-  
: OXIDE-SEMICONDUCTOR TRANSISTOR

Jiawei Huang, Reg. No. 43,330

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

Transmitted herewith is a certified copy of **Taiwan** Application No. **92124424** filed on **September 04, 2003**.

A return prepaid postcard is also included herewith.

It is believed no fee is due. However, the Commissioner is authorized to charge any fees required, including any fees for additional extension of time, or credit overpayment to Deposit Account No. 50-0710 (Order No. JCLA10892).

Date: 3/3/2004

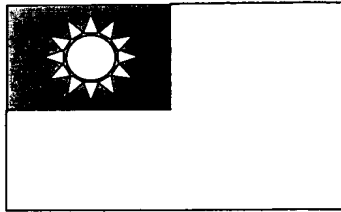
By: Jiawei Huang  
Registration No. 43,330

**Please send future correspondence to:**

J. C. Patents  
4 Venture, Suite 250  
Irvine, California 92618  
Tel: (949) 660-0761

10/667,229

JCLA 10892



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 09 月 04 日  
Application Date

申請案號：092124424  
Application No.

申請人：聯華電子股份有限公司  
Applicant(s)

局長  
Director General

蔡練生

發文日期：西元 2004 年 2 月 17 日  
Issue Date

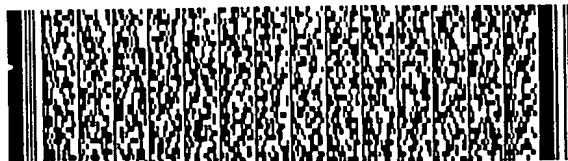
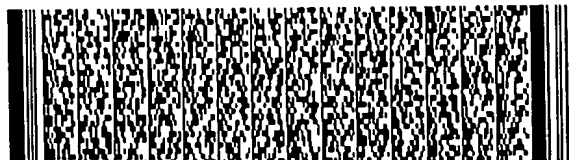
發文字號：09320146860  
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

# 發明專利說明書

發明名稱	中文	金屬氧化半導體電晶體的製造方法
	英文	METHOD OF MANUFACTURING METAL-OXIDE-SEMICONDUCTOR TRANSISTOR
發明人 (共4人)	姓名 (中文)	1. 王俞仁 2. 簡金城 3. 王湘瑩
	姓名 (英文)	1. Yu-Ren Wang 2. Chin-Cheng Chien 3. Hsiang-Ying Wang
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW 3. 中華民國 TW
	住居所 (中文)	1. 台南市公園路128號2樓之15 2. 嘉義縣中埔鄉社口村2鄰內埔27號 3. 嘉義縣水上鄉寬土村27-62號
	住居所 (英文)	1. 2F1.-15, No. 128, Gungyuan Rd., Tainan, Taiwan 700, R.O.C. 2. No. 27, Neipu, Jungpu Shiang, Chiai, Taiwan 606, R.O.C. 3. No. 27-62, Kuantu Tsuen, Shueishang Shiang, Chiai, Taiwan 608,
申請人 (共1人)	名稱或 姓名 (中文)	1. 聯華電子股份有限公司
	名稱或 姓名 (英文)	1. United Microelectronics Corp.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 新竹科學工業園區新竹市力行二路三號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. No. 3, Li-Hsin Rd. II, Science-Based Industrial Park, Hsinchu, Taiwan, R.O.C.
	代表人 (中文)	1. 曹興誠
	代表人 (英文)	1. Robert H. C. Tsao

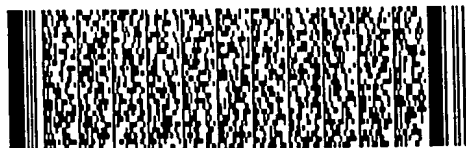


申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共4人)	姓 名 (中文)	4. 楊能輝
	姓 名 (英文)	4. Neng-Hui Yang
	國 籍 (中英文)	4. 中華民國 TW
	住居所 (中 文)	4. 新竹市光復路一段89巷123之6號5樓
	住居所 (英 文)	4. 5F., No. 123-6, Lane 89, Kuang-Fu Rd. Sec. 1, Hsinchu, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	
	名稱或 姓 名 (英文)	
	國 籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	



四、中文發明摘要 (發明名稱：金屬氧化半導體電晶體的製造方法)

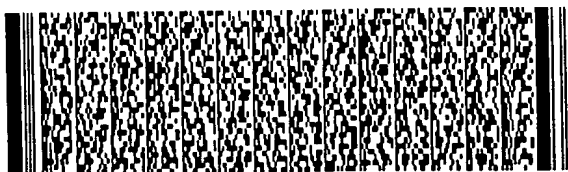
一種金屬氧化半導體電晶體的製造方法，係提供一基底，其中於基底上形成有一閘極結構，再於閘極結構側壁形成一第一間隙壁，接著，對基底進行一預非晶矽化植入製程，以使部分基底非晶矽化，再於第一間隙壁兩側之基底中形成一源極/汲極延伸摻雜區，然後，於第一間隙壁的側壁形成一第二間隙壁，再於第二間隙壁兩側之基底中形成一源極/汲極摻雜區，其後，進行一預回火製程，再進行一固相磊晶製程，以使非晶矽化之部分基底再結晶，並活性化源極/汲極延伸摻雜區與源極/汲極摻雜區以形成一源極/汲極，之後再進行一後回火製程。

伍、(一)、本案代表圖為：第\_\_\_4\_\_\_圖

(二)、本案代表圖之元件代表符號簡單說明：

六、英文發明摘要 (發明名稱：METHOD OF MANUFACTURING METAL-OXIDE-SEMICONDUCTOR TRANSISTOR)

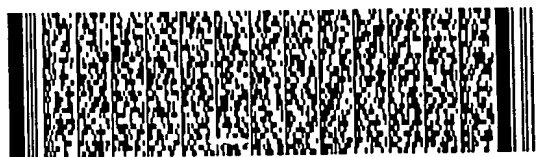
A method of manufacturing a MOS transistor is provided. A substrate having a gate structure thereon is provided. A first spacer is formed on the sidewalls of the gate structure. A pre-amorphization implantation process is performed to amorphize a portion of the substrate. A doped source/drain extension region is formed in the substrate beside the first spacer. A second



四、中文發明摘要 (發明名稱：金屬氧化半導體電晶體的製造方法)

六、英文發明摘要 (發明名稱：METHOD OF MANUFACTURING METAL-OXIDE-SEMICONDUCTOR TRANSISTOR)

spacer is formed on the sidewalls of the first spacer. A doped source/drain region is formed in the substrate beside the second spacer and then a pre-annealing process is performed. Thereafter, a solid phase epitaxial process is performed to re-crystallize the amorphized portion of the substrate and activate the doped source/drain extension region and the doped source/drain region



四、中文發明摘要 (發明名稱：金屬氧化半導體電晶體的製造方法)

六、英文發明摘要 (發明名稱：METHOD OF MANUFACTURING METAL-OXIDE-SEMICONDUCTOR TRANSISTOR)

to form a source/drain terminal. Finally, a post-annealing process is performed.





一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得,不須寄存。



## 五、發明說明 (1)

### 【發明所屬之技術領域】

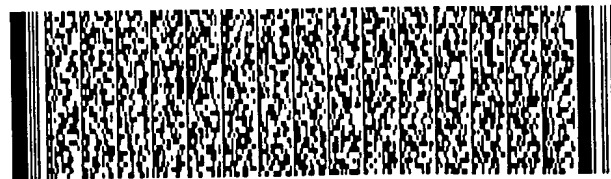
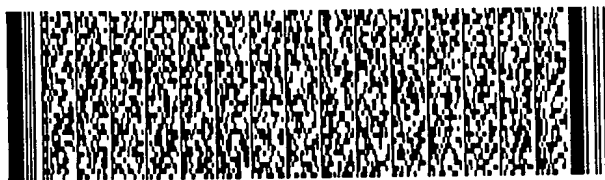
本發明是有關於一種半導體元件的製造方法，且特別是有關於一種金屬氧化半導體電晶體的製造方法。

### 【先前技術】

隨著積體電路的積集度不斷的增加，半導體元件的面積逐漸的縮小，電路設計的規格也相對的縮小，積體電路的元件已經縮減到深次微米的範圍。然而，隨著積體電路元件尺寸的持續縮小，在深次微米的金屬氧化半導體電晶體元件中，對於源極/汲極，一方面必須要隨著元件的縮小而隨之縮減其形成於基底中的深度，另一方面則必須避免源極/汲極的接面變淺而導致其阻值變大，因此，是否能製作出符合要求的源極/汲極，將會成為影響金屬氧化半導體電晶體元件品質良莠的重要因素。

因此，習知係提出一種金屬氧化半導體電晶體的製作方法，此方法係對形成有閘極結構的基底進行一預非晶矽化植入(Pre-amorphization implantation)製程，再依序於基底中形成延伸區(extension)與源極/汲極摻雜區，接著進行一快速熱回火製程以使非晶矽化的區域再結晶，並使延伸區(extension)與源極/汲極摻雜區的摻質活化以形成源極/汲極。然而，由於此種方法係使用溫度高達攝氏八、九百度以上的高溫進行回火，即使已藉由預非晶矽化植入製程以降低摻質的通道效應，還是無法避免擴散現象的發生。

習知另一種金屬氧化半導體電晶體的製作方法，係對



## 五、發明說明 (2)

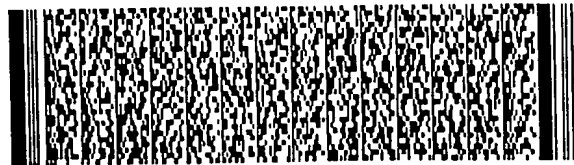
形成有閘極結構的基底以鍺離子進行一預非晶矽化植入製程，接著再依序於基底中之非晶矽化區域形成延伸區與源極/汲極摻雜區，接著進行一固相磊晶製程(Solid phase epoxy)，使非晶矽化的區域再結晶，並使延伸區與源極/汲極摻雜區的摻質活化以形成源極/汲極。然而，此種方法卻具有所形成的元件其源極/汲極的電阻值還是偏高、且飽和汲極電流較低等問題存在。

### 【發明內容】

因此，本發明的目的就是在提供一種金屬氧化半導體電晶體的製造方法，能夠降低金屬氧化半導體電晶體之源極/汲極的片電阻值。

本發明的再一目的是提供一種金屬氧化半導體電晶體的製造方法，能夠提高金屬氧化半導體電晶體之電性質。

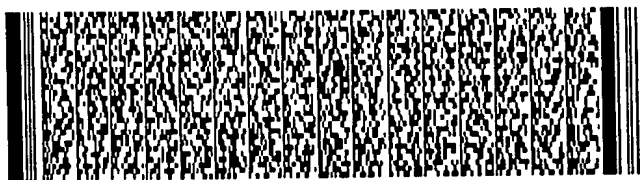
本發明提供一種金屬氧化半導體電晶體的製造方法，係提供一基底，其中於基底上形成有一閘極結構，再於閘極結構側壁形成一第一間隙壁，接著，對基底進行一預非晶矽化植入製程，以使部分基底非晶矽化，再於第一間隙壁兩側之基底中形成一源極/汲極延伸摻雜區，然後，於第一間隙壁的側壁形成一第二間隙壁，再於第二間隙壁兩側之基底中形成一源極/汲極摻雜區，其後，進行一預回火製程，再進行一固相磊晶製程，以使非晶矽化之部分基底再結晶，並活性化源極/汲極延伸摻雜區與源極/汲極摻雜區以形成一源極/汲極，其中預回火製程的操作溫度小於固相磊晶製程之操作溫度。



### 五、發明說明 (3)

本發明提供另一種金屬氧化半導體電晶體的製造方法，係提供一基底，其中於基底上形成有一閘極結構，再於閘極結構側壁形成一第一間隙壁，接著，對基底進行一預非晶矽化植入製程，以使部分基底非晶矽化，再於第一間隙壁兩側之基底中形成一源極/汲極延伸摻雜區，然後，於第一間隙壁的側壁形成一第二間隙壁，再於第二間隙壁兩側之基底中形成一源極/汲極摻雜區，其後，進行一固相磊晶製程，以使非晶矽化之部分基底再結晶，並活性化源極/汲極延伸摻雜區與源極/汲極摻雜區以形成一源極/汲極，再進行一後回火製程，其中後回火製程的操作溫度大於固相磊晶製程之操作溫度。

本發明提供再一種金屬氧化半導體電晶體的製造方法，係提供一基底，其中於基底上形成有一閘極結構，再於閘極結構側壁形成一第一間隙壁，接著，對基底進行一預非晶矽化植入製程，以使部分基底非晶矽化，再於第一間隙壁兩側之基底中形成一源極/汲極延伸摻雜區，然後，於第一間隙壁的側壁形成一第二間隙壁，再於第二間隙壁兩側之基底中形成一源極/汲極摻雜區，其後，進行一預回火製程，再進行一固相磊晶製程，以使非晶矽化之部分基底再結晶，並活性化源極/汲極延伸摻雜區與源極/汲極摻雜區以形成一源極/汲極，其中預回火製程的操作溫度小於固相磊晶製程之操作溫度，之後再進行一後回火製程，其中後回火製程的操作溫度大於固相磊晶製程之操作溫度。



#### 五、發明說明 (4)

由上述可知，由於本發明係在對進行固相磊晶製程之前進行一預回火製程，因而能夠使得非晶矽化區域的再結晶晶粒顆粒較大，進而能夠降低所形成之電晶體其源極/汲極的片電阻值。

而且，由於本發明係在對進行固相磊晶製程之後進行一後回火製程，因而能夠縮短電晶體之源極/汲極其延伸區的距離，進而能夠提高所形成之電晶體其電性質。

此外，由於本發明之金屬氧化半導體電晶體係採用熱預算較低的固相磊晶製程以活化源極/汲極的摻質。因此能夠避免使用高溫回火製程所會產生的暫態加速效應現象以及短通道效應現象。

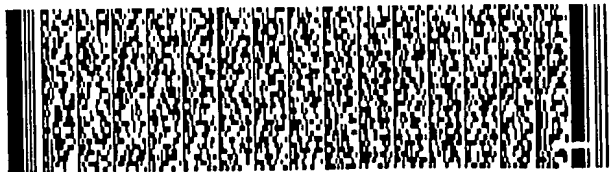
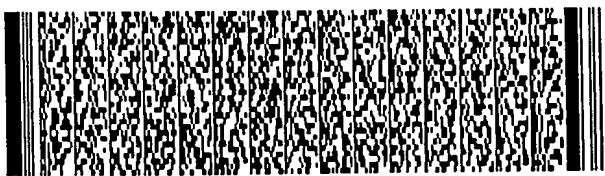
為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

#### 【實施方式】

第1圖所繪示為依照本發明較佳實施例之一種金屬氧化半導體電晶體之製造方法的流程示意圖，且第2A圖至第2E圖所繪示為依照本發明之較佳實施例的金屬氧化半導體電晶體之製程流程的剖面示意圖。

首先請同時參照步驟S102與第2A圖，提供已形成有淺溝渠隔離區202之基底200，且於此基底200上係形成有由閘絕緣層、形成在閘絕緣層上的閘極所構成的閘極結構204，其中基底200的材質例如是矽基材。

接著，請同時參照步驟S104與第2A圖，於閘極結構

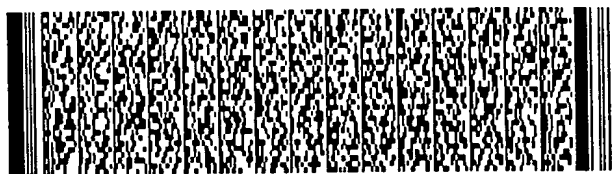
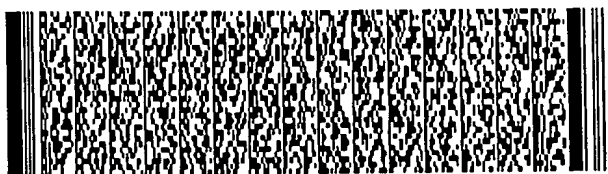


#### 五、發明說明 (5)

204 側壁形成第一間隙壁(offset spacer)205，其中第一間隙壁205的形成方法例如是在基底200上先形成一層介電層(未繪示)，且形成介電層的方法例如是電漿加強化學氣相沈積，其反應氣體來源例如是四乙烷基氧矽甲烷(TEOS)，且沈積溫度例如是攝氏400度左右，之後，對介電層進行回蝕刻製程以於閘極結構側壁形成第一間隙壁205，其中回蝕刻的方式例如是非等向性的乾式蝕刻法。

接著，請同時參照步驟S106與第2B圖，對基底200進行預非晶矽化植入製程206，其中此預非晶矽化植入製程所使用之摻質例如是銻離子，而此預非晶矽化植入製程206例如是進行一離子植入製程以將以銻離子植入基底200中，以於基底200中形成非晶矽化區域208，其中此製程所植入的銻離子之劑量例如是 $2 \times 10^{14}$ 至 $1 \times 10^{15}$ 原子/平方公分左右，而植入能量例如是25~45千電子伏特左右。

接著，請同時參照步驟S108與第2C圖，於第一間隙壁205兩側之基底200中形成源極/汲極延伸摻雜區212，其形成方式例如是以閘極結構204與第一間隙壁205為罩幕，對基底200進行一離子植入製程210，以於第一間隙壁205兩側之基底200中形成源極/汲極延伸摻雜區212，其中植入的離子依元件形態的不同而可以是N型或P型離子，當植入離子為N型時，其例如是砷離子，且其劑量例如是 $5 \times 10^{14}$ 至 $2 \times 10^{15}$ 原子/平方公分左右，而植入能量例如是3~5千電子伏特左右，另外，植入的離子為P型時，其例如是氟化硼離子，其劑量例如是 $5 \times 10^{14}$ 至 $2 \times 10^{15}$ 原子/平方公分左

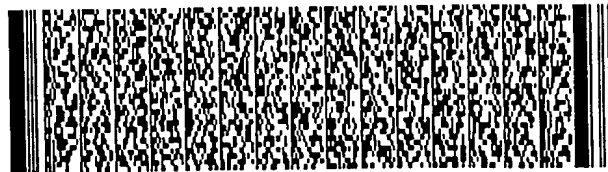


##### 五、發明說明 (6)

右，而植入能量例如是1~2千電子伏特左右。

之後，請同時參照步驟S110與第2D圖，於第一間隙壁205的側壁形成第二間隙壁214，其中形成第二間隙壁214的方式例如是利用電漿加強化學氣相沈積在基底200上形成一層介電層(未繪示)，其反應氣體來源例如是TEOS或是氮化物，且沈積溫度例如是攝氏400度左右，之後並對此介電層進行回蝕刻以於第一間隙壁205側壁形成第二間隙壁214，其中回蝕刻的方式例如是非等向性的乾式蝕刻法。另外，形成第二間隙壁214的方式還可以是進行攝氏700度以上的快速回火製程或是熱爐管製程，之後，再對基底200進行鍍離子植入製程，以使得可能因為高溫再結晶的非晶矽化區域208再非晶矽化。

然後，請同時參照步驟S112與第2D圖，於第二間隙壁214兩側之基底200中形成源極/汲極摻雜區218，其形成方式例如是例如是以閘極結構204、第一間隙壁205與第二間隙壁214為罩幕，對基底200進行一離子植入製程216，以於第二間隙壁214兩側之基底200中形成源極/汲極摻雜區218，其中植入的離子依元件形態的不同而可以是N型或P型離子，其中植入離子為N型時，其例如是磷或砷離子，其中磷離子的植入劑量例如是 $2 \times 10^{13}$ 至 $4 \times 10^{13}$ 原子/平方公分左右，而植入能量例如是35~45千電子伏特左右，此外，砷離子的劑量例如是 $2 \times 10^{15}$ 至 $4 \times 10^{15}$ 原子/平方公分左右，而植入能量例如是35~45千電子伏特左右。而植入離子係為P型時，其例如是硼或氟化硼離子，其中硼離子的



##### 五、發明說明 (7)

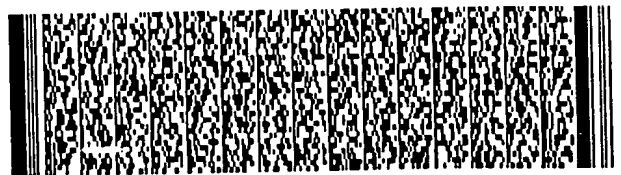
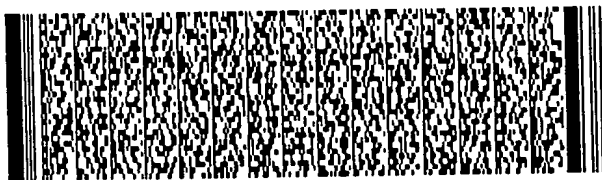
植入劑量例如是 $7 \times 10^{13}$ 至 $4 \times 10^{15}$ 原子/平方公分左右，而植入能量例如是5~12千電子伏特左右，此外，氟化硼離子的劑量例如是 $5 \times 10^{14}$ 至 $1 \times 10^{15}$ 原子/平方公分左右，而植入能量例如是12~18千電子伏特左右。

接著，請同時參照步驟S114與第2E圖，對基底200進行一預回火(Pre-annealing)製程，其中此預回火製程所使用的溫度係小於後續之固相磊晶製程的溫度，其操作方法例如是將基底200置於熱爐管中，且其操作溫度例如是攝氏400至450度左右，且其操作時間例如是30分鐘左右。

接著，請同時參照步驟S116與第2E圖，進行固相磊晶製程，以使基底200之非晶矽化區域208再結晶而由非晶矽轉變成多晶矽，並活性化源極/汲極延伸摻雜區212與源極/汲極摻雜區218以形成具有延伸區的源極/汲極220，其中固相磊晶製程例如是將基底200置於熱爐管中，且其操作溫度例如是攝氏550至600度左右，且操作時間例如是30至90分鐘左右。

依照上述金屬氧化半導體電晶體的製造方法，由於在固相磊晶製程之前進行一預回火製程，因而能在非晶矽化區域208中形成晶核，在固相磊晶製程時會由晶核處開始結晶，進而使得所形成的晶粒較大，因此能夠使得源極/汲極的片電阻值較低。

而且，本發明除了上述實施例之外，尚具有其他實施例，第3圖所繪示為本發明另一較佳實施例之一種金屬氧化半導體電晶體之製造方法的流程示意圖，且本實施例之





#### 五、發明說明 (8)

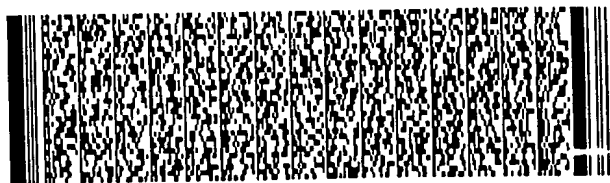
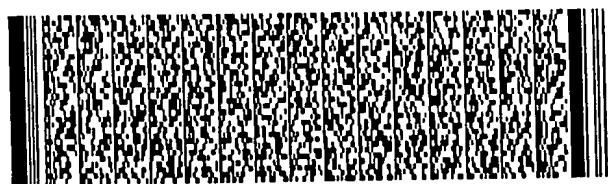
金屬氧化半導體電晶體之製程流程的剖面示意圖，係能夠沿用第2A圖至第2E圖以進行說明。

首先請同時參照步驟S302與第2A圖，提供已形成有淺溝渠隔離區202之基底200，且於此基底200上係形成有由閘絕緣層、形成在閘絕緣層上的閘極所構成的閘極結構204，其中基底200的材質例如是矽基材。

接著，請同時參照步驟S304與第2A圖，於閘極結構204側壁形成第一間隙壁(offset spacer)205，其中第一間隙壁205的形成方法例如是在基底200上先形成一層介電層(未繪示)，且形成介電層的方法例如是電漿加強化學氣相沈積，其反應氣體來源例如是四乙烷基氧矽甲烷(TEOS)，且沈積溫度例如是攝氏400度左右，之後，對介電層進行回蝕刻製程以於閘極結構側壁形成第一間隙壁205，其中回蝕刻的方式例如是非等向性的乾式蝕刻法。

接著，請同時參照步驟S306與第2B圖，對基底200進行預非晶矽化植入製程206，其中此預非晶矽化植入製程所使用之摻質例如是銻離子，而此預非晶矽化植入製程206例如是進行一離子植入製程以將以銻離子植入基底200中，以於基底200中形成非晶矽化區域208，其中此製程所植入的銻離子之劑量例如是 $2 \times 10^{14}$ 至 $1 \times 10^{15}$ 原子/平方公分左右，而植入能量例如是25~45千電子伏特左右。

接著，請同時參照步驟S308與第2C圖，於第一間隙壁205兩側之基底200中形成源極/汲極延伸摻雜區212，其形成方式例如是以閘極結構204與第一間隙壁205為罩幕，對

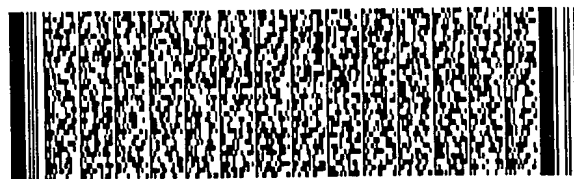
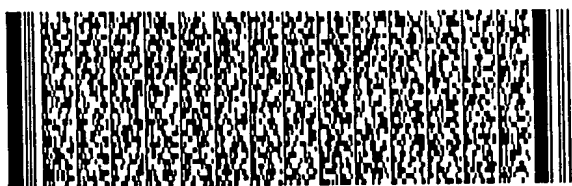


#### 五、發明說明 (9)

基底200進行一離子植入製程210，以於第一間隙壁205兩側之基底200中形成源極/汲極延伸摻雜區212，其中植入的離子依元件形態的不同而可以是N型或P型離子，當植入離子為N型時，其例如是砷離子，且其劑量例如是 $5 \times 10^{14}$ 至 $2 \times 10^{15}$ 原子/平方公分左右，而植入能量例如是3~5千電子伏特左右，另外，植入的離子為P型時，其例如是氯化硼離子，其劑量例如是 $5 \times 10^{14}$ 至 $2 \times 10^{15}$ 原子/平方公分左右，而植入能量例如是1~2千電子伏特左右。

之後，請同時參照步驟S310與第2D圖，於第一間隙壁205的側壁形成第二間隙壁214，其中形成第二間隙壁214的方式例如是利用電漿加強化學氣相沈積在基底200上形成一層介電層(未繪示)，其反應氣體來源例如是TEOS或是氮化物，且沈積溫度例如是攝氏400度左右，之後並對此介電層進行回蝕刻以於第一間隙壁205側壁形成第二間隙壁214，其中回蝕刻的方式例如是非等向性的乾式蝕刻法。另外，形成第二間隙壁214的方式還可以是進行攝氏700度以上的快速回火製程或是熱爐管製程，之後，再對基底200進行鍺離子植入製程，以使得可能因為高溫再結晶的非晶矽化區域208再非晶矽化。

然後，請同時參照步驟S312與第2D圖，於第二間隙壁214兩側之基底200中形成源極/汲極摻雜區218，其形成方式例如是例如是以閘極結構204、第一間隙壁205與第二間隙壁214為罩幕，對基底200進行一離子植入製程216，以於第二間隙壁214兩側之基底200中形成源極/汲極摻雜區

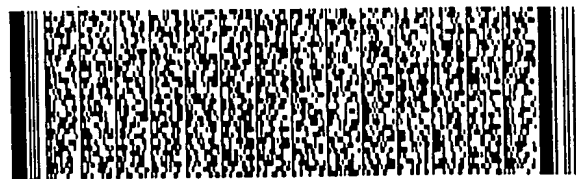


#### 五、發明說明 (10)

218，其中植入的離子依元件形態的不同而可以是N型或P型離子，其中植入離子為N型時，其例如是磷或砷離子，其中磷離子的植入劑量例如是 $2 \times 10^{13}$ 至 $4 \times 10^{13}$ 原子/平方公分左右，而植入能量例如是35~45千電子伏特左右，此外，砷離子的劑量例如是 $2 \times 10^{15}$ 至 $4 \times 10^{15}$ 原子/平方公分左右，而植入能量例如是35~45千電子伏特左右。而植入離子係為P型時，其例如是硼或氟化硼離子，其中硼離子的植入劑量例如是 $7 \times 10^{13}$ 至 $4 \times 10^{15}$ 原子/平方公分左右，而植入能量例如是5~12千電子伏特左右，此外，氟化硼離子的劑量例如是 $5 \times 10^{14}$ 至 $1 \times 10^{15}$ 原子/平方公分左右，而植入能量例如是12~18千電子伏特左右。

接著，請同時參照步驟S314與第2E圖，進行固相磊晶製程，以使基底200之非晶矽化區域208再結晶而由非晶矽轉變成多晶矽，並活性化源極/汲極延伸摻雜區212與源極/汲極摻雜區218以形成具有延伸區的源極/汲極220，其中固相磊晶製程例如是將基底200置於熱爐管中，且其操作溫度例如是攝氏550至600度左右，且操作時間例如是30至90分鐘左右。

接著，請同時參照步驟S316與第2E圖，對基底200進行一後回火(Post-annealing)製程，其中此後回火製程所使用的溫度係大於固相磊晶製程的溫度，其操作方法例如是進行一操作溫度例如是攝氏850度左右，且操作時間例如是20秒的快速熱回火，或是操作溫度例如是攝氏900至1000度左右，操作時間例如是突波(spike)時間的快速熱



## 五、發明說明 (11)

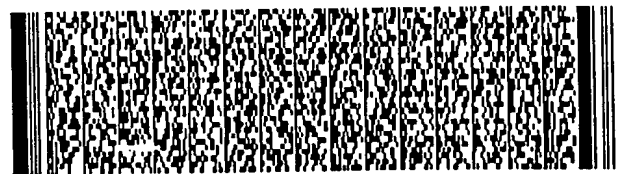
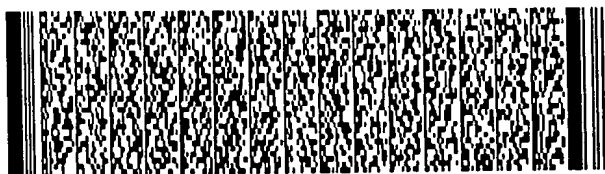
回火。

依照上述金屬氧化半導體電晶體的製造方法，由於在固相磊晶製程之後進行一後回火製程，因而能夠縮短源極/汲極的延伸區之間的距離，使得所形成的電晶體能夠得到足夠的閘極重疊電容(gate overlap capacitance)以及汲極飽和電流，進而能夠提升此電晶體的電性質。

此外，本發明也可以將上述的實施例相互結合成為又一較佳實施例，第4圖所繪示為依照本發明另一較佳實施例之一種金屬氧化半導體電晶體之製造方法的流程示意圖，本較佳實施例係依照步驟S402至步驟S418所述，提供已形成有閘極結構的基底，再於閘極結構側壁形成第一間隙壁，接著對基底進行非晶矽化植入製程，然後再依序進行源極/汲極延伸摻雜區、第二間隙壁、源極/汲極摻雜區的形成，其後進行一預回火製程，再進行固相磊晶製程，最後進行一後回火製程。

依照本實施例之金屬氧化半導體電晶體的製造方法，由於係在固相磊晶製程之前與之後分別對進行一預回火製程與一後回火製程，因此在所形成之電晶體中，不僅能夠使源極/汲極的片電阻值降低，亦能夠使提升電晶體元件的電性質。

而且，在上述實施例中，第一間隙壁與第二間隙壁係為單層的構造，然而本發明係可以視實際製程以及設計上的需要(例如是對P型場效電晶體)，而能夠將第一間隙壁形成雙層的結構，或是將第二間隙壁形成雙層的結構。



## 五、發明說明 (12)

當然，上述的製程方法並不只限於金氧半導體電晶體，任何包含電晶體之半導體元件都可以利用本發明來降低電晶體之電阻值。

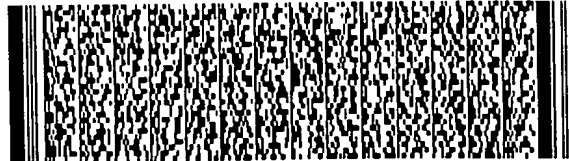
綜合上述，本發明至少具有下列優點：

1. 由於本發明係在對進行固相磊晶製程之前進行一預回火製程，因而能夠使得非晶矽化區域的再結晶晶粒顆粒較大，進而能夠降低所形成之電晶體其源極/汲極的片電阻值。

2. 由於本發明係在對進行固相磊晶製程之後進行一後回火製程，因而能夠縮短電晶體之源極/汲極其延伸區的距離，進而能夠提高所形成之電晶體其電性質。

3. 此外，由於本發明之金屬氧化半導體電晶體係採用熱預算較低的固相磊晶製程以活化源極/汲極的摻質。因此能夠避免使用高溫回火製程所會產生的暫態加速效應現象以及短通道效應現象。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



## 圖式簡單說明

第1圖所繪示為依照本發明較佳實施例之一種金屬氧化半導體電晶體之製造方法的流程示意圖。

第2A圖至第2E圖所繪示為依照本發明之較佳實施例的金屬氧化半導體電晶體之製程流程的剖面示意圖。

第3圖所繪示為依照本發明另一較佳實施例之一種金屬氧化半導體電晶體之製造方法的流程示意圖。

第4圖所繪示為依照本發明另一較佳實施例之一種金屬氧化半導體電晶體之製造方法的流程示意圖。

### 【圖式標記說明】

S102、S104、S106、S108、S110、S112、S114、  
S116、S302、S304、S306、S308、S310、S312、S314、  
S316、S402、S404、S406、S408、S410、S412、S414、  
S416、S418：步驟

200：基底

202：淺溝渠隔離區

204：閘極結構

205：第一間隙壁

206：預非晶矽化植入製程

208：非晶矽化區

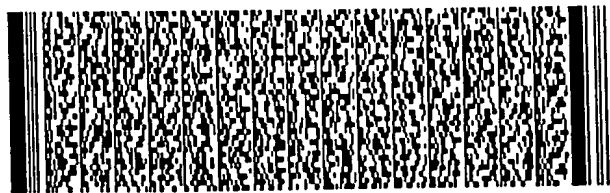
210、216：離子植入製程

212：源極/汲極延伸摻雜區

214：第二間隙壁

218：源極/汲極摻雜區

220：源極/汲極



## 六、申請專利範圍

1. 一種金屬氧化半導體電晶體的製造方法，包括下列步驟：

提供一基底，其中於該基底上形成有一閘極結構；

於該閘極結構側壁形成一第一間隙壁；

對該基底進行一預非晶矽化植入製程，以使部分該基底非晶矽化；

於該第一間隙壁兩側之該基底中形成一源極/汲極延伸摻雜區；

於該第一間隙壁的側壁形成一第二間隙壁；

於該第二間隙壁兩側之該基底中形成一源極/汲極摻雜區；

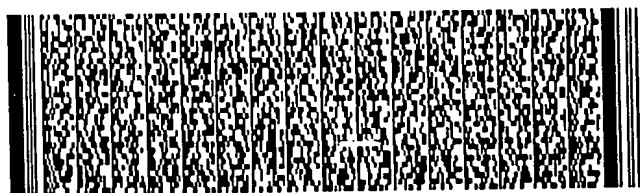
進行一預回火製程；以及

進行一固相磊晶製程，以使非晶矽化之部分該基底再結晶，並活性化該源極/汲極延伸摻雜區與該源極/汲極摻雜區以形成一源極/汲極，其中該預回火製程的操作溫度小於該固相磊晶製程之操作溫度。

2. 如申請專利範圍第1項所述之金屬氧化半導體電晶體的製造方法，其中該預回火製程包括熱爐管法。

3. 如申請專利範圍第1項所述之金屬氧化半導體電晶體的製造方法，其中該預回火製程的操作溫度為攝氏400至500度左右。

4. 如申請專利範圍第3項所述之金屬氧化半導體電晶體的製造方法，其中該預回火製程的操作時間為30分鐘左右。



## 六、申請專利範圍

5. 一種金屬氧化半導體電晶體的製造方法，包括下列步驟：

提供一基底，其中於該基底上形成有一閘極結構；

於該閘極結構側壁形成一第一間隙壁；

對該基底進行一預非晶矽化植入製程，以使部分該基底非晶矽化；

於該第一間隙壁兩側之該基底中形成一源極/汲極延伸摻雜區；

於該第一間隙壁的側壁形成一第二間隙壁；

於該第二間隙壁兩側之該基底中形成一源極/汲極摻雜區；

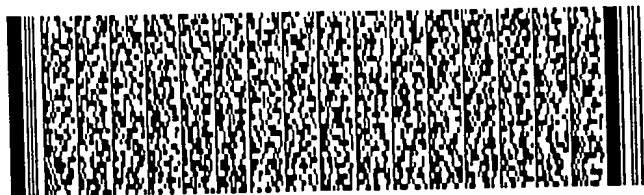
進行一固相磊晶製程，以使非晶矽化之部分該基底再結晶，並活性化該源極/汲極延伸摻雜區與該源極/汲極摻雜區以形成一源極/汲極；以及

進行一後回火製程，其中該後回火製程的操作溫度大於該固相磊晶製程之操作溫度。

6. 如申請專利範圍第5項所述之金屬氧化半導體電晶體的製造方法，其中該後回火製程包括快速熱回火製程。

7. 如申請專利範圍第5項所述之金屬氧化半導體電晶體的製造方法，其中該後回火製程的操作溫度為攝氏850度左右。

8. 如申請專利範圍第7項所述之金屬氧化半導體電晶體的製造方法，其中該後回火製程的操作時間為20秒左右。





## 六、申請專利範圍

9. 如申請專利範圍第5項所述之金屬氧化半導體電晶體的製造方法，其中該後回火製程的操作溫度為攝氏900至1000度左右。

10. 如申請專利範圍第9項所述之金屬氧化半導體電晶體的製造方法，其中該後回火製程的操作時間為突波(spike)時間。

11. 一種金屬氧化半導體電晶體的製造方法，包括下列步驟：

提供一基底，其中於該基底上形成有一閘極結構；

於該閘極結構側壁形成一第一間隙壁；

對該基底進行一預非晶矽化植入製程，以使部分該基底非晶矽化；

於該第一間隙壁兩側之該基底中形成一源極/汲極延伸摻雜區；

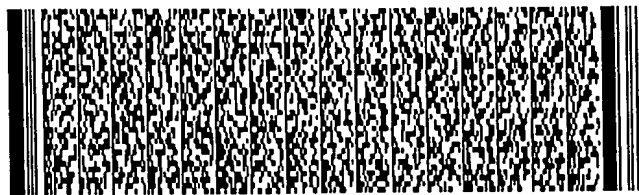
於該第一間隙壁的側壁形成一第二間隙壁；

於該第二間隙壁兩側之該基底中形成一源極/汲極摻雜區；

進行一預回火製程；

進行一固相磊晶製程，以使非晶矽化之部分該基底再結晶，並活性化該源極/汲極延伸摻雜區與該源極/汲極摻雜區以形成一源極/汲極，其中該預回火製程的操作溫度小於該固相磊晶製程之操作溫度；以及

進行一後回火製程，其中該後回火製程的操作溫度大於該固相磊晶製程之操作溫度。



#### 六、申請專利範圍

12. 如申請專利範圍第11項所述之金屬氧化半導體電晶體的製造方法，其中該預回火製程包括熱爐管法。

13. 如申請專利範圍第11項所述之金屬氧化半導體電晶體的製造方法，其中該預回火製程的操作溫度為攝氏400至500度左右。

14. 如申請專利範圍第13項所述之金屬氧化半導體電晶體的製造方法，其中該預回火製程的操作時間為30分鐘左右。

15. 如申請專利範圍第11項所述之金屬氧化半導體電晶體的製造方法，其中該後回火製程包括快速熱回火製程。

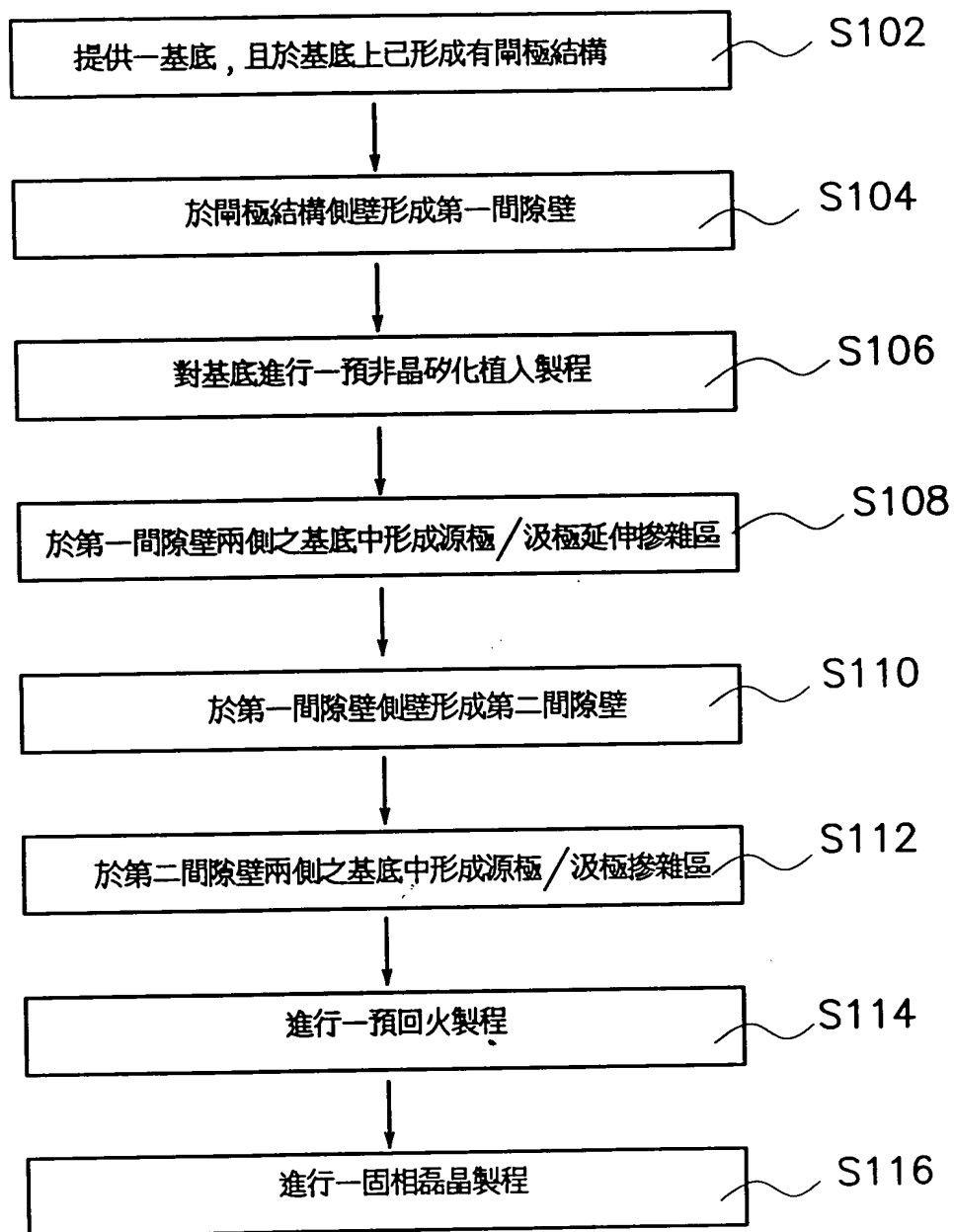
16. 如申請專利範圍第11項所述之金屬氧化半導體電晶體的製造方法，其中該後回火製程的操作溫度為攝氏850度左右。

17. 如申請專利範圍第16項所述之金屬氧化半導體電晶體的製造方法，其中該後回火製程的操作時間為20秒左右。

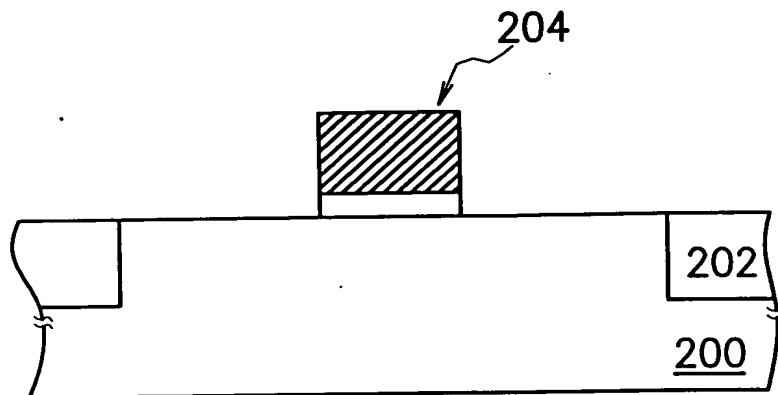
18. 如申請專利範圍第11項所述之金屬氧化半導體電晶體的製造方法，其中該後回火製程的操作溫度為攝氏900至1000度左右。

19. 如申請專利範圍第18項所述之金屬氧化半導體電晶體的製造方法，其中該後回火製程的操作時間為突波時間。

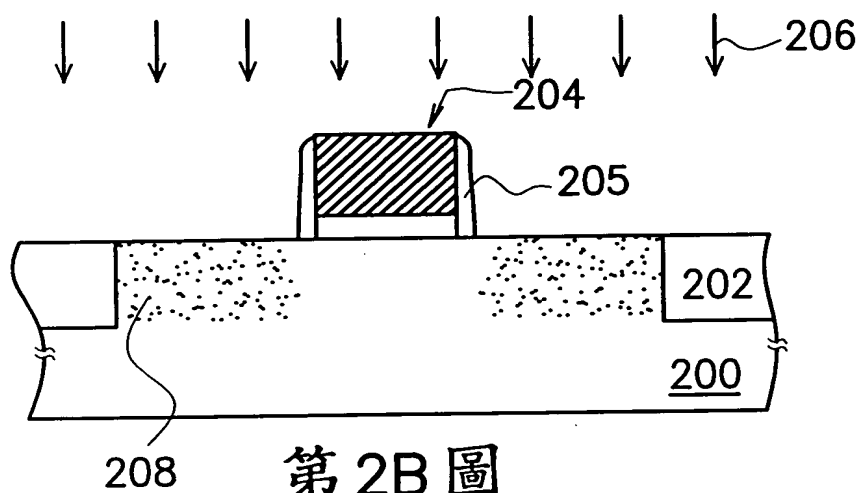




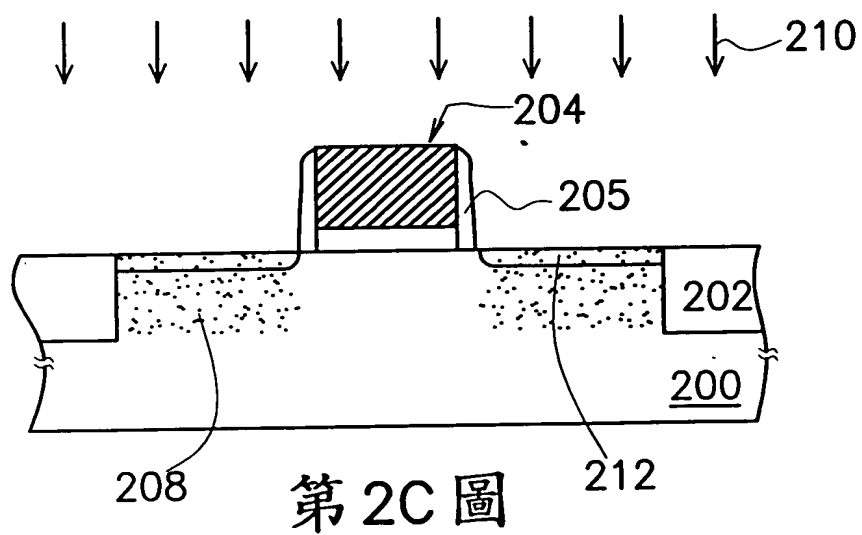
第 1 圖



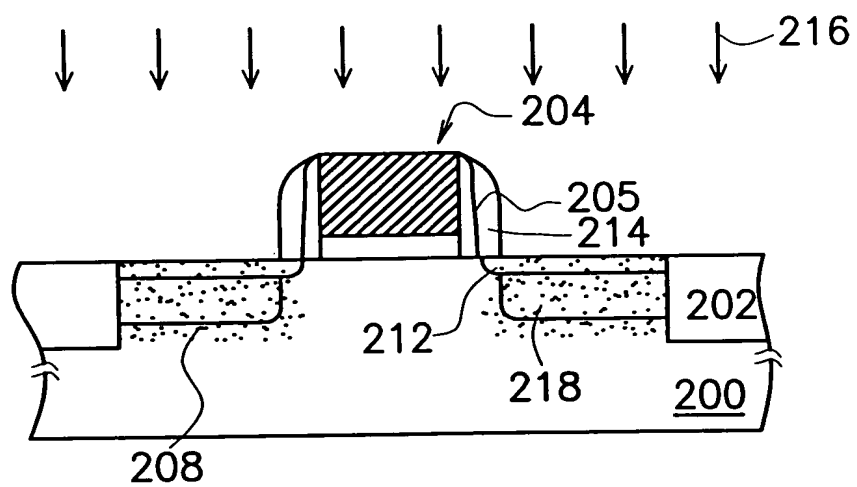
第 2A 圖



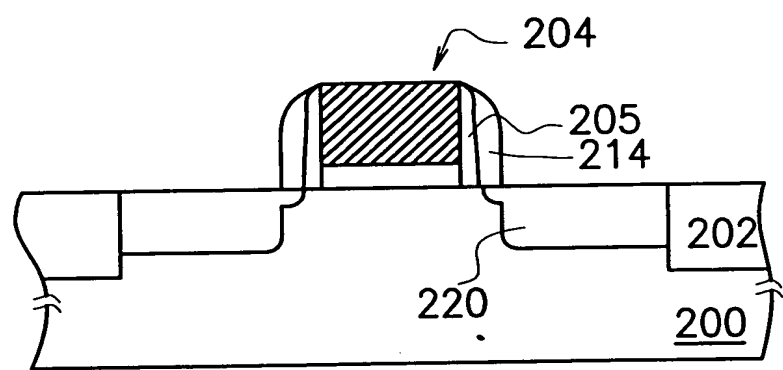
第 2B 圖



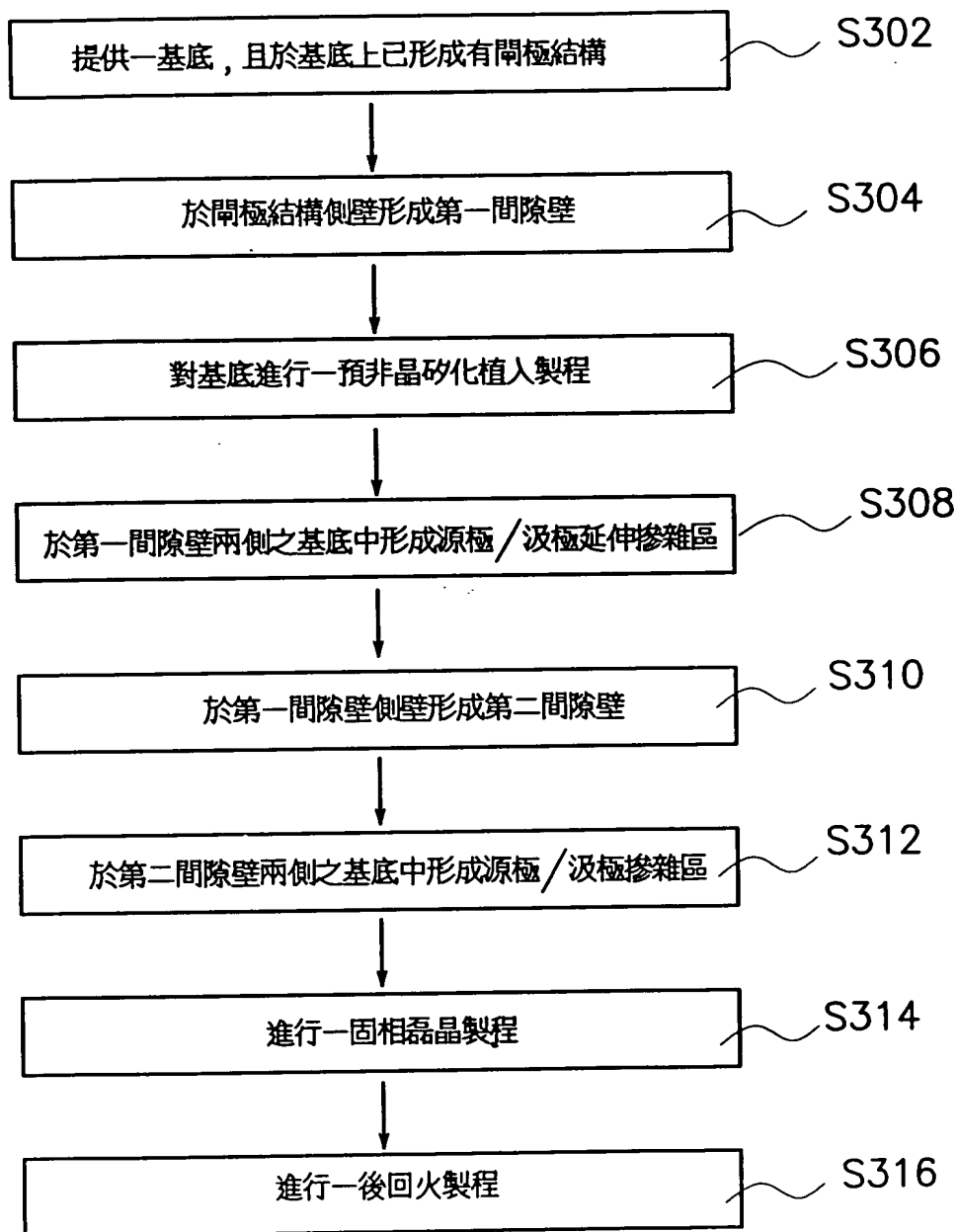
第 2C 圖



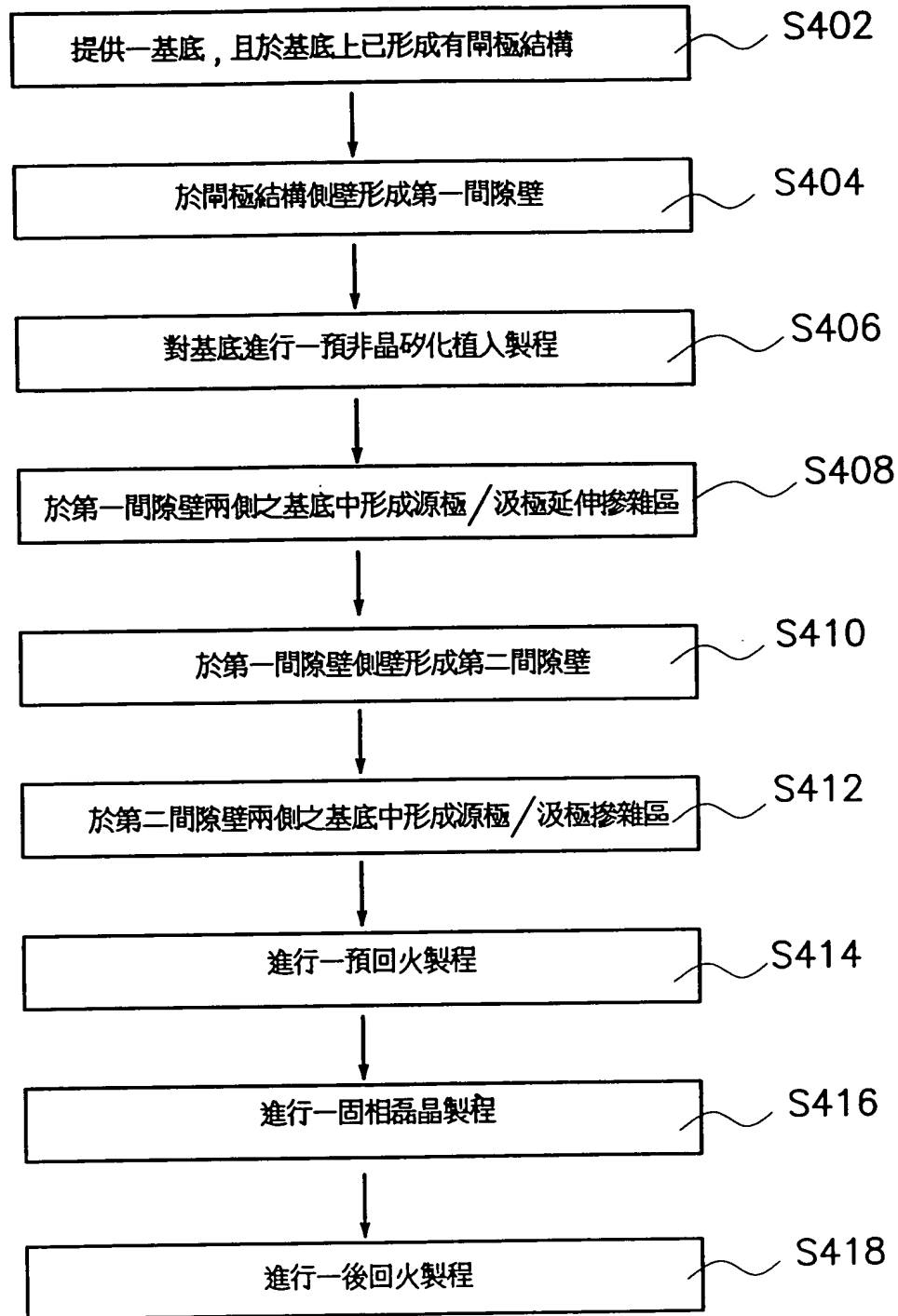
第 2D 圖



第 2E 圖



第 3 圖

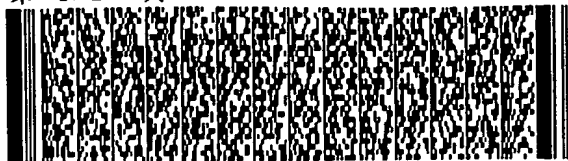


第 4 圖

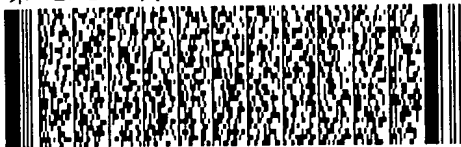
第 1/23 頁



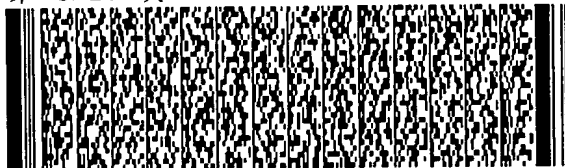
第 1/23 頁



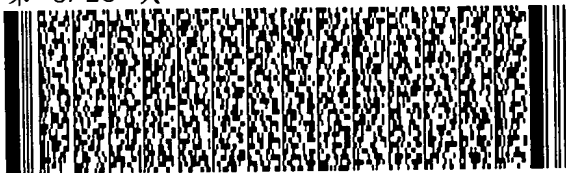
第 2/23 頁



第 3/23 頁



第 3/23 頁



第 4/23 頁



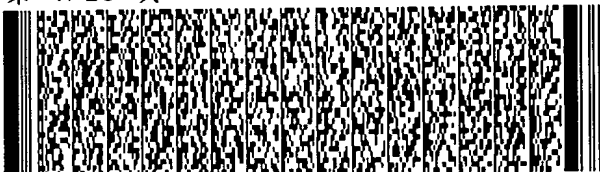
第 5/23 頁



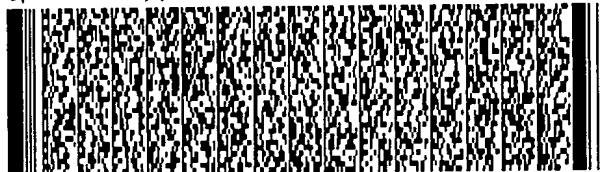
第 6/23 頁



第 7/23 頁



第 7/23 頁



第 8/23 頁



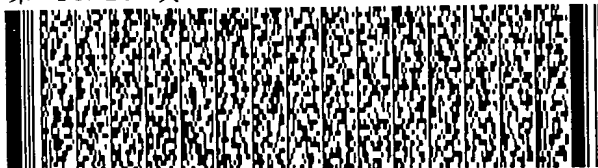
第 8/23 頁



第 9/23 頁



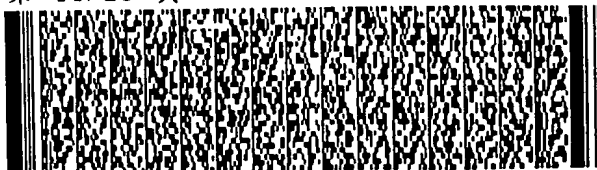
第 10/23 頁



第 10/23 頁

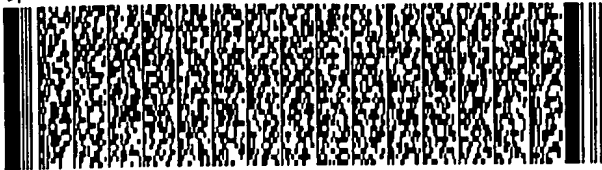


第 11/23 頁





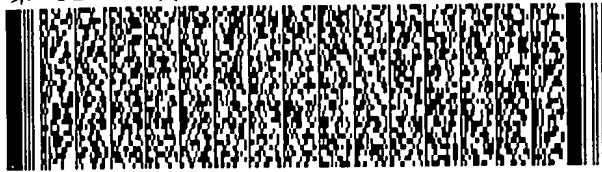
第 11/23 頁



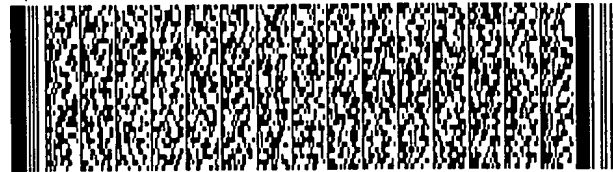
第 12/23 頁



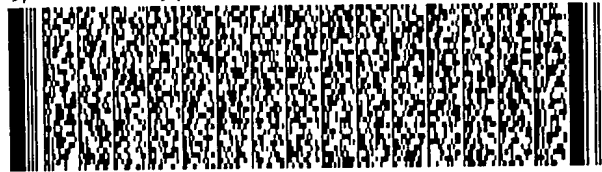
第 12/23 頁



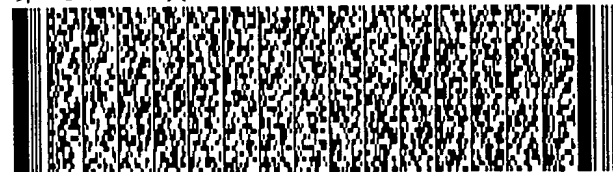
第 13/23 頁



第 13/23 頁



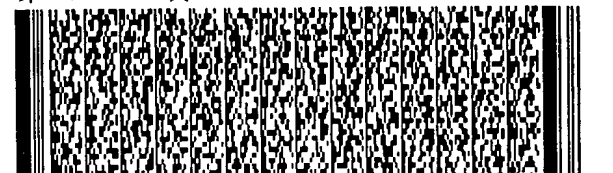
第 14/23 頁



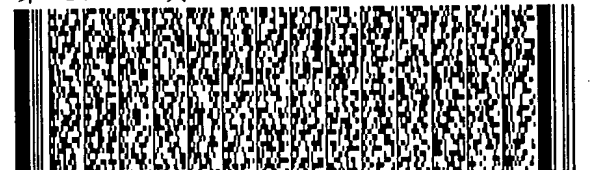
第 14/23 頁



第 15/23 頁



第 15/23 頁



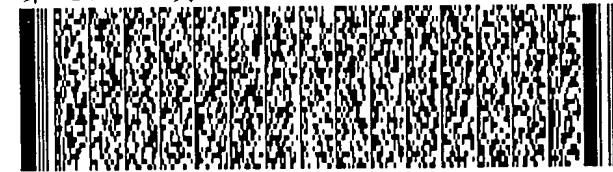
第 16/23 頁



第 16/23 頁



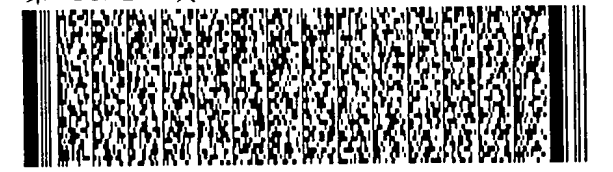
第 17/23 頁



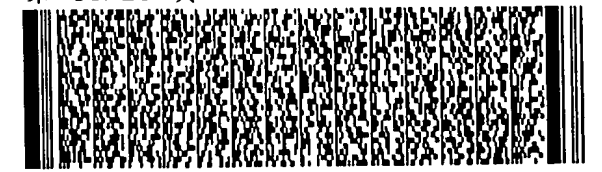
第 17/23 頁



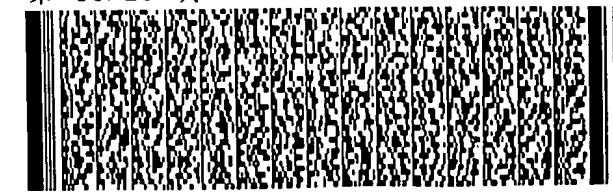
第 18/23 頁



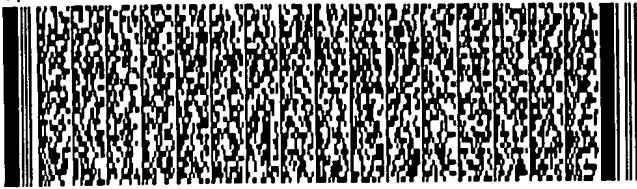
第 18/23 頁



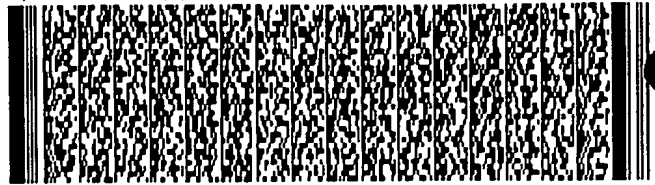
第 19/23 頁



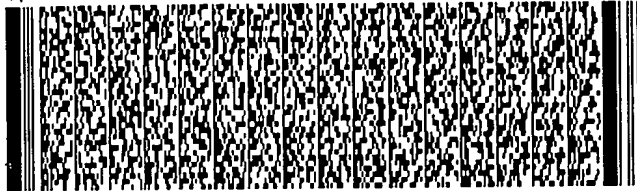
第 20/23 頁



第 21/23 頁



第 22/23 頁



第 23/23 頁

